



自作(CPU+OS) つくってみた!

@筑波大学キャンパスOJT 秋学期成果発表会

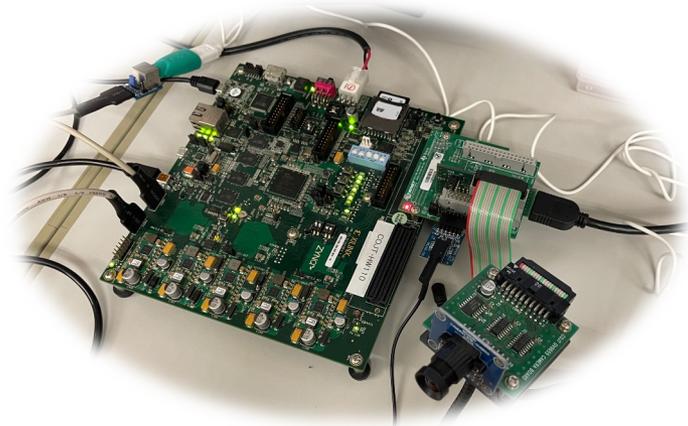
作成したものの

✓ 自作CPU

- ISA :  RISC-V (rv32i)
- 5段パイプライン
→ 命令フェッチ / デコード / 実行 / リード / ライト
IF ID EX RD WR
- 50MHzで動作

✓ 自作OS

- 自作CPU上で動作



RISC-V ?

RISC-V

自由でオープンな RISC 命令セットアーキテクチャ Instruction Set Architecture (ISA)

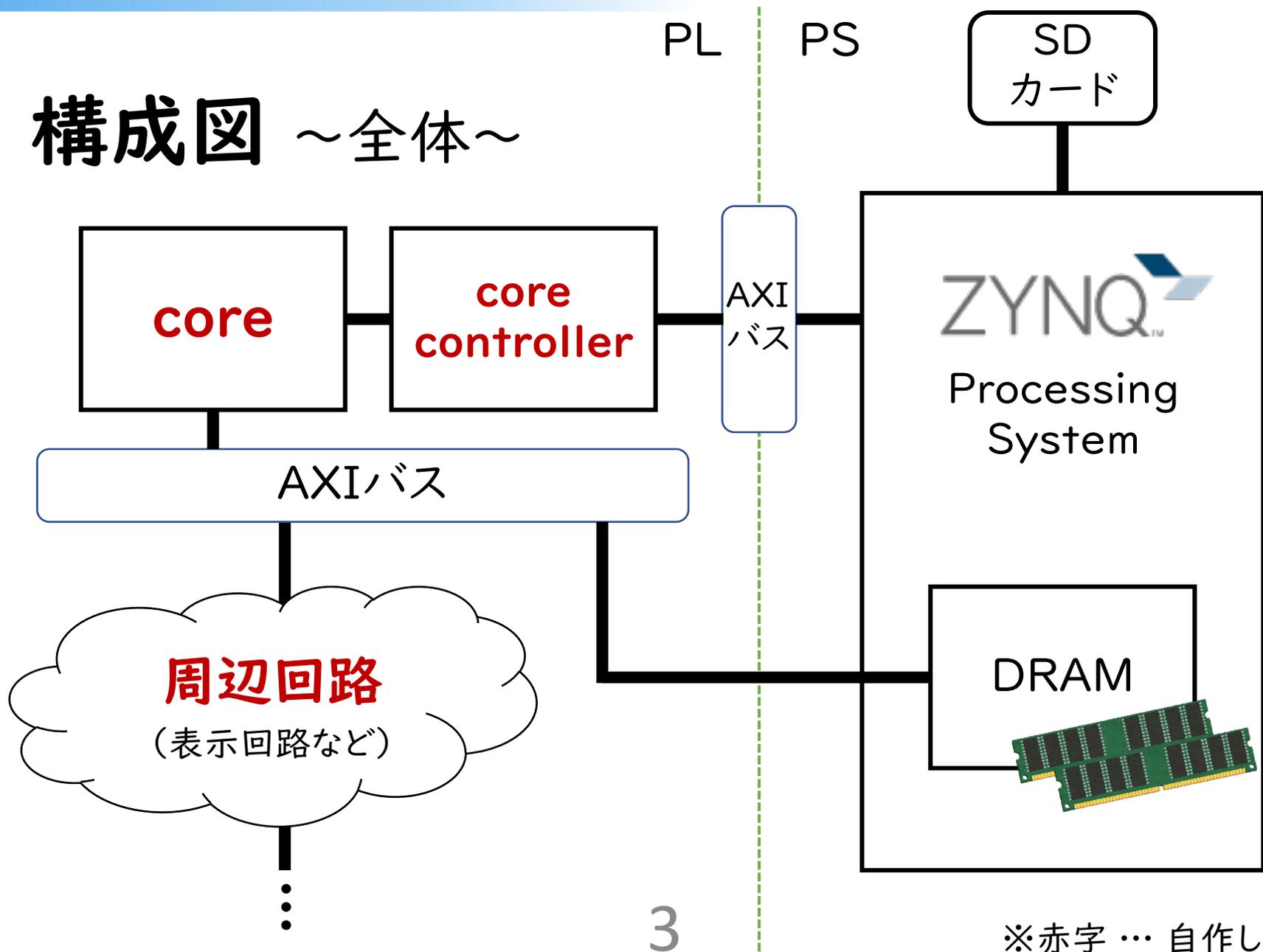
オープンなコラボレーションによるイノベーション
領域と業界を横断して設計の自由を提供
半導体業界を融合する戦略的プラットフォーム

<https://riscv.org/japan/> より

- 仕様が全て公開されていて扱いやすい
- GNU Toolchain など周辺環境の充実度が魅力的 etc...

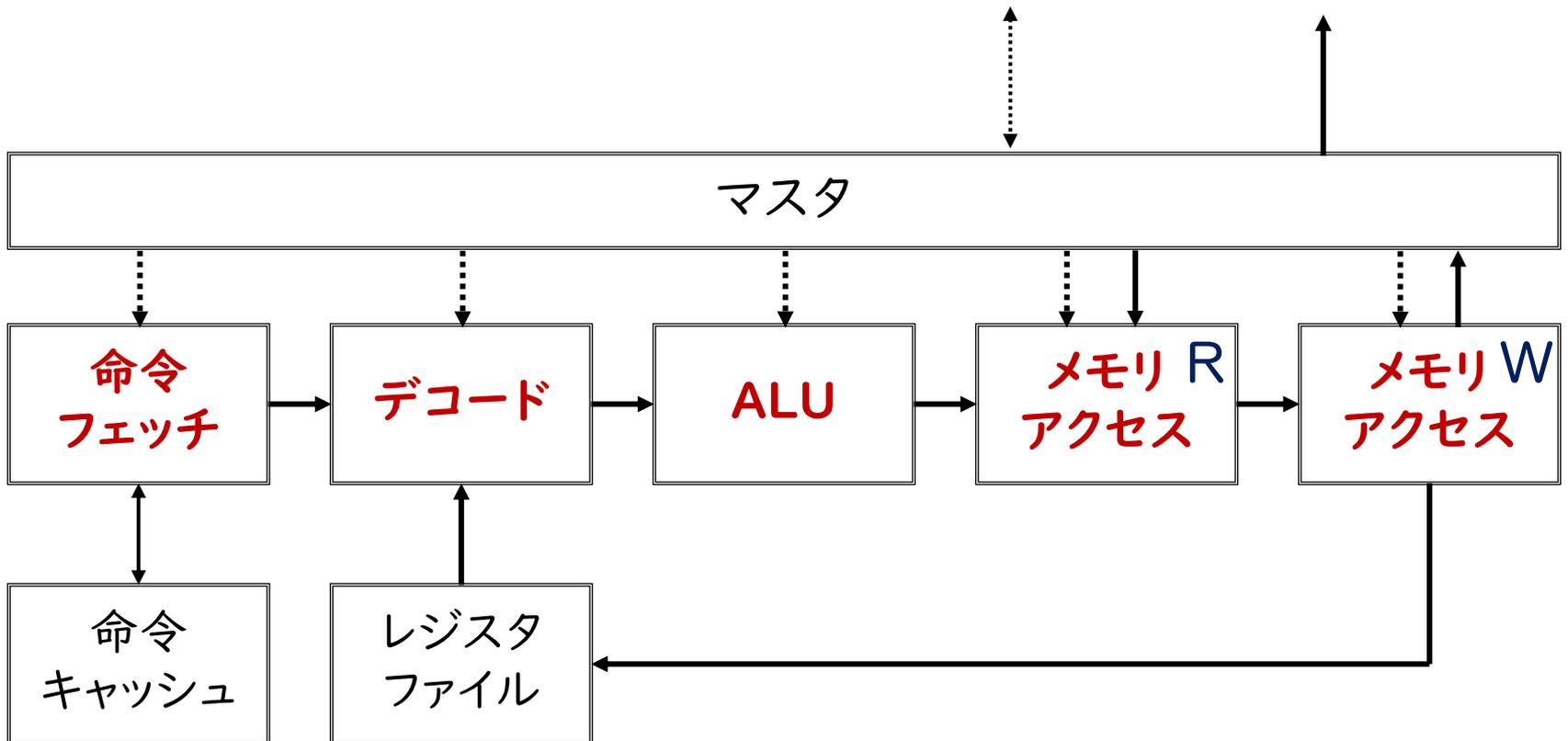
 **初めての自作CPUに適している**

構成図 ~全体~



構成図 ~core~

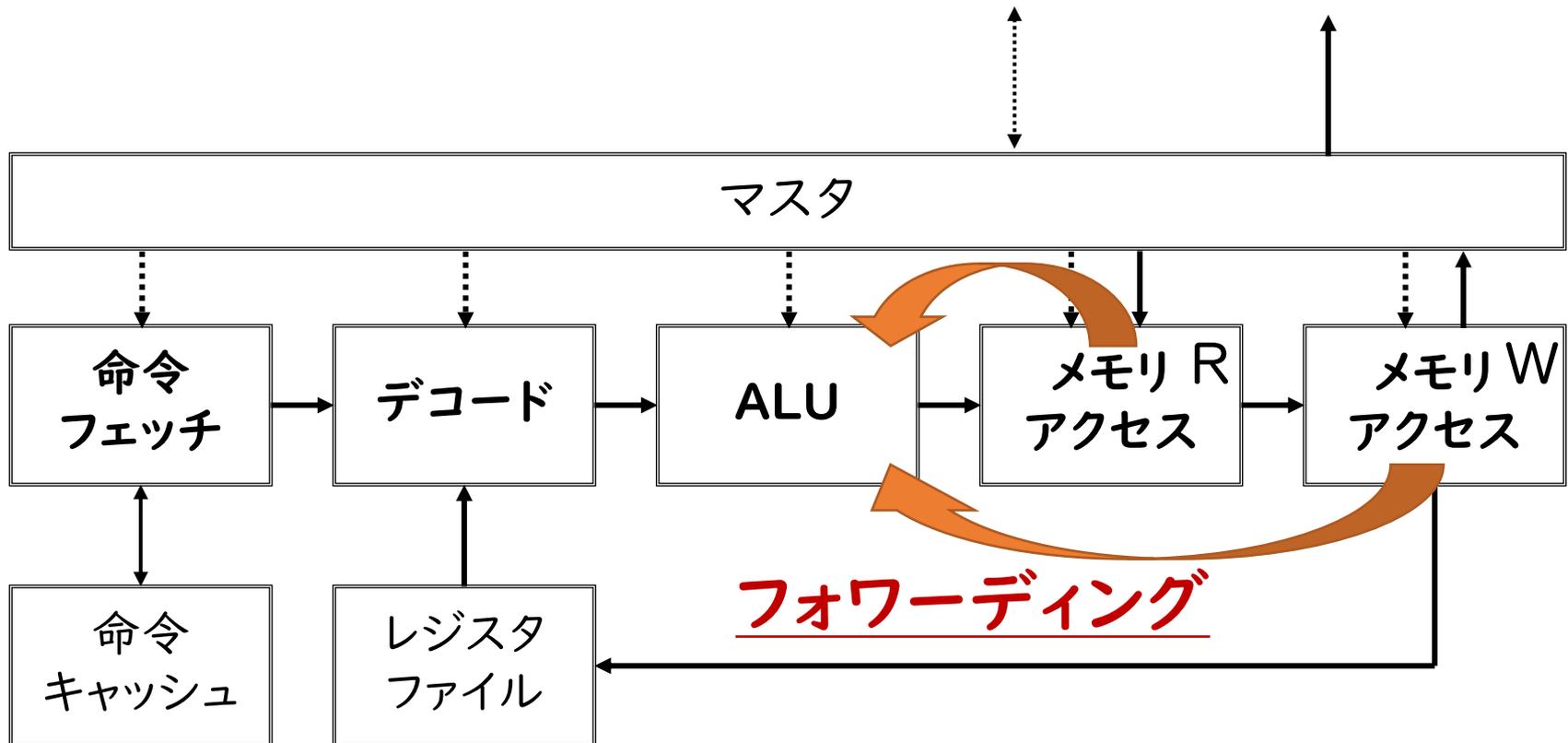
core controller RAM



.....> 制御信号
——> データ信号

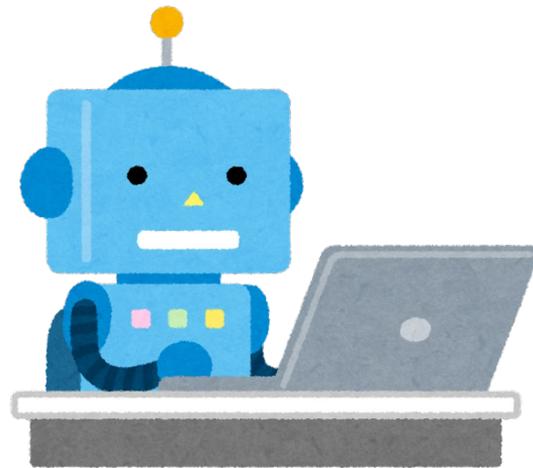
構成図 ~core~

core controller RAM



..... → 制御信号
————→ データ信号

デモ



アピールポイント

- ✓ フルスクラッチで**自作(CPU+OS)を達成**
 - それなりに動きます
- ✓ この一年間で**作った回路全てを使用!**
 - 表示回路
 - キャプチャ回路
 - サウンド回路
 - 描画回路



出来なかったこと

✓ キャッシュ

- 命令キャッシュはOK
- データキャッシュは未着手のまま…

✓ 割り込み

- CLINT / PLIC 実装の負担が大きく断念



もっとやりたいこと

✓ 単体動作の実現

- プログラムのロード部分をARMコアに頼っている
- UART or SDカードからの起動ができるように…

✓ ネットワーク通信

- 簡単なHTTPサーバが建ったら面白い



ソースコード



Yuta I 004/COJTHW-CPUProj

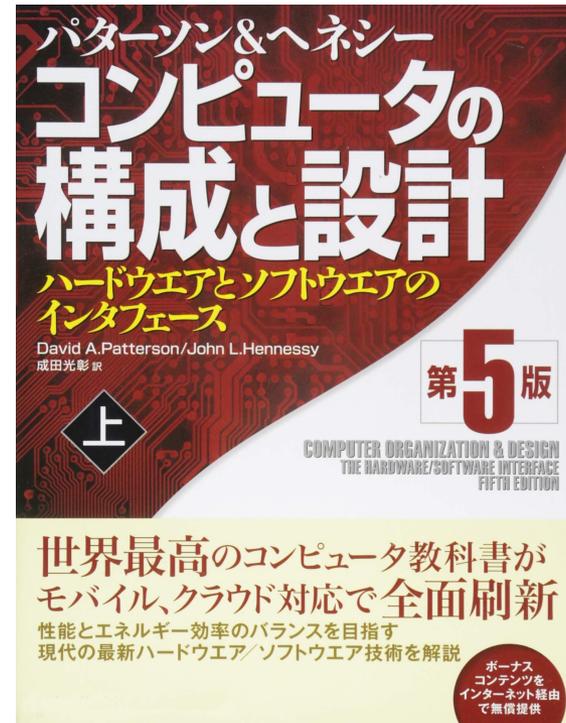


Yuta I 004/COJTHW-SiCOS

参考資料



オープンアーキテクチャのススメ
RISC-V 原典

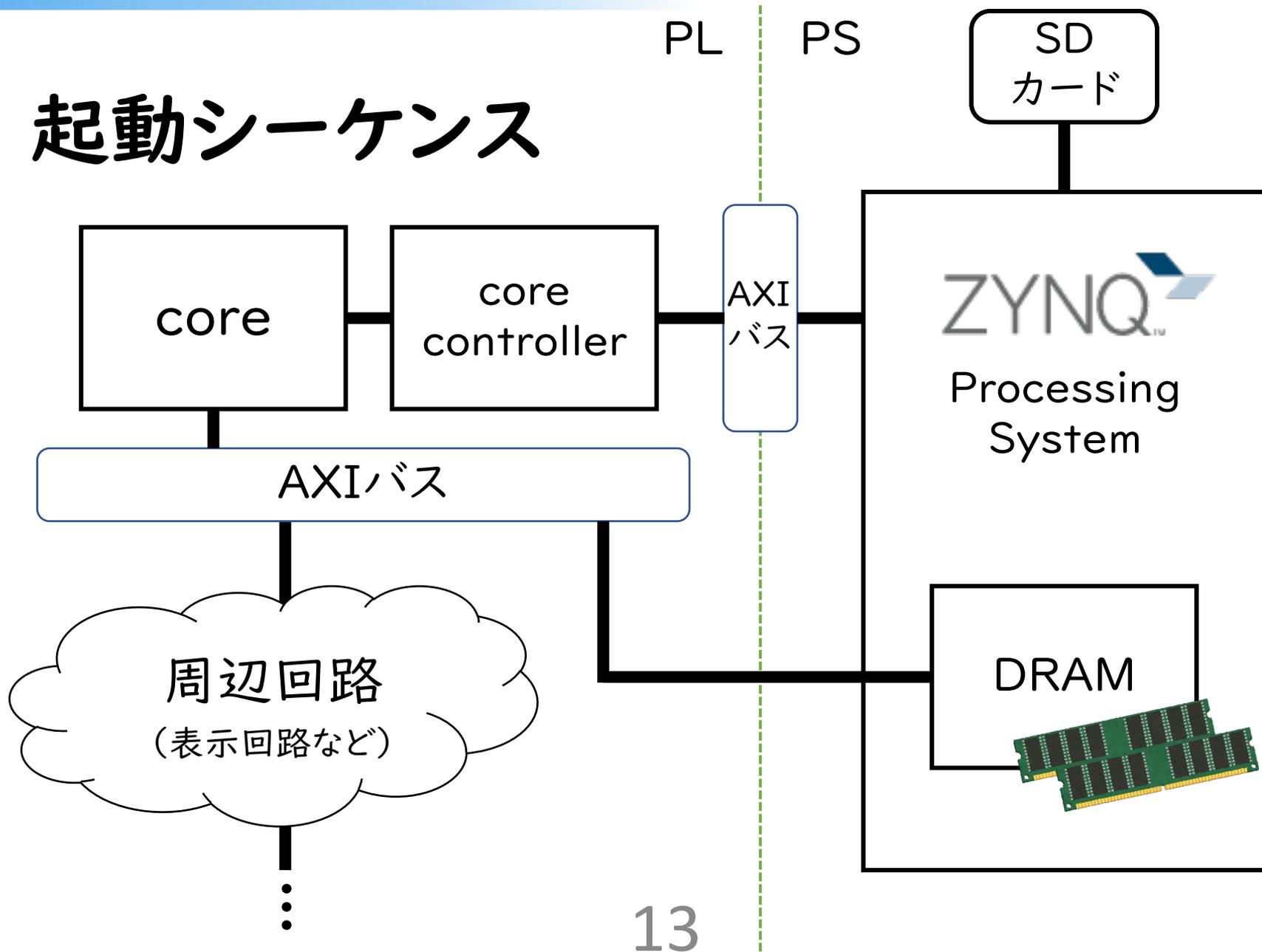


コンピュータの構成と設計
第5版

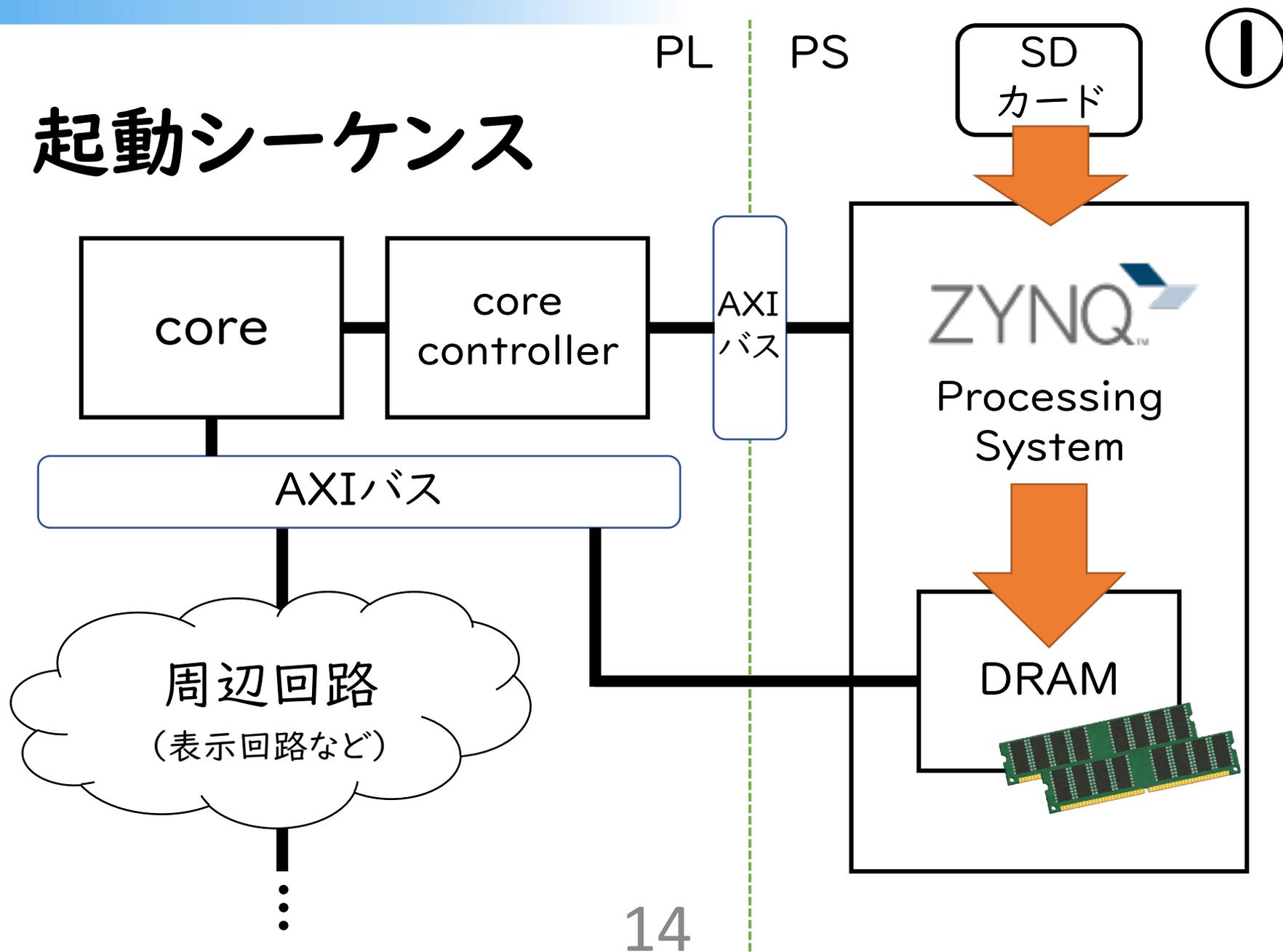
もっと詳しく!



起動シーケンス

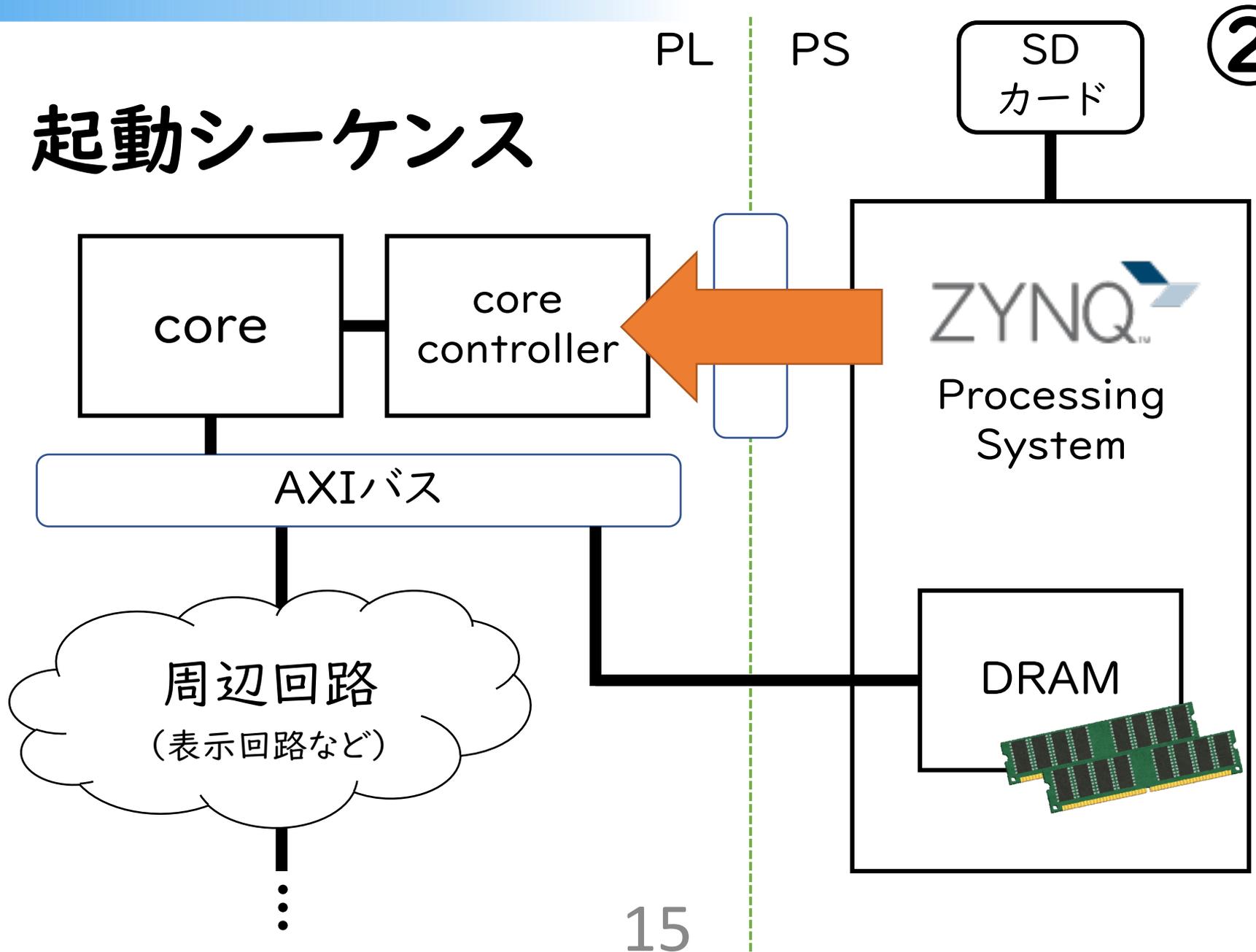


起動シーケンス



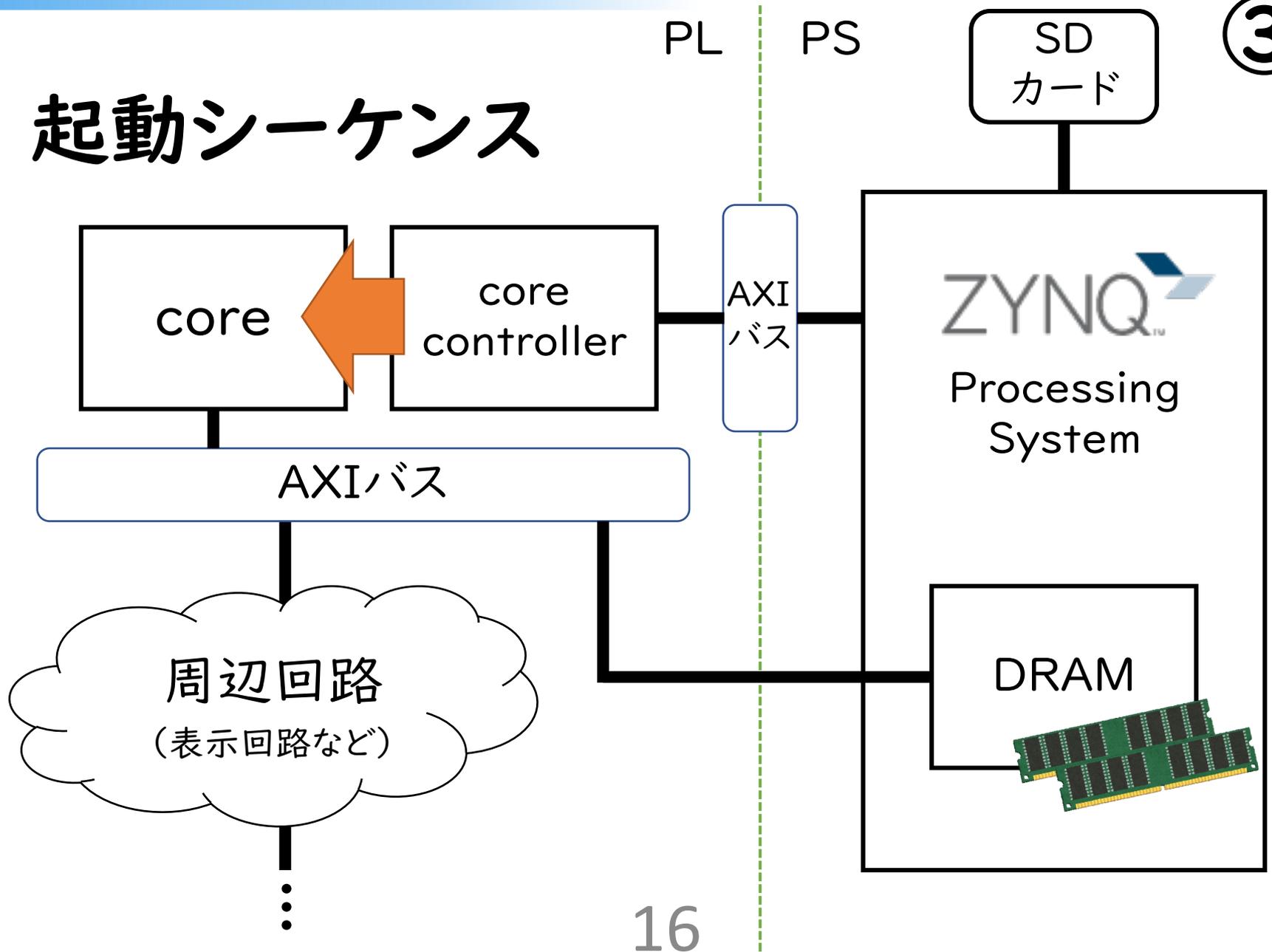
②

起動シーケンス

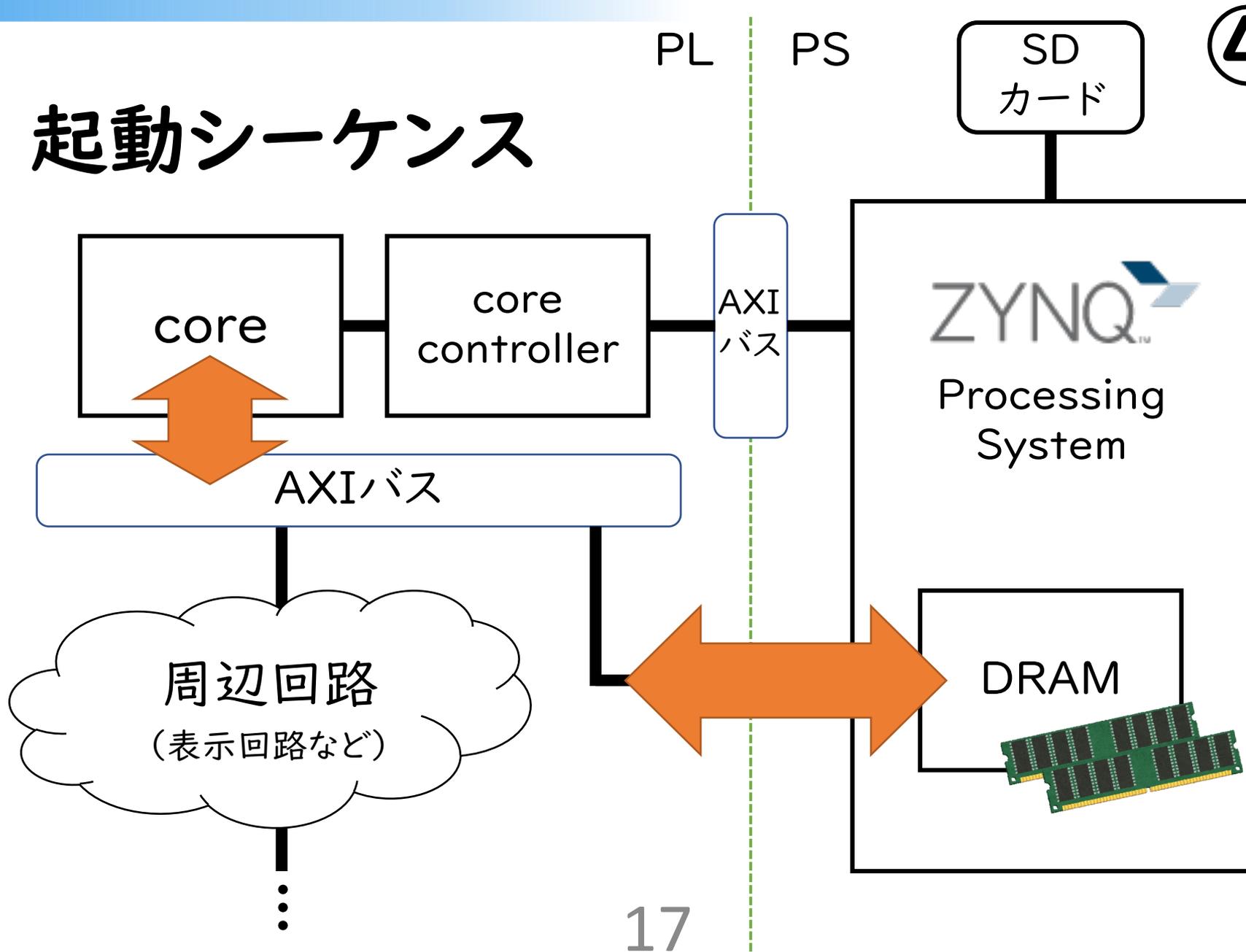


③

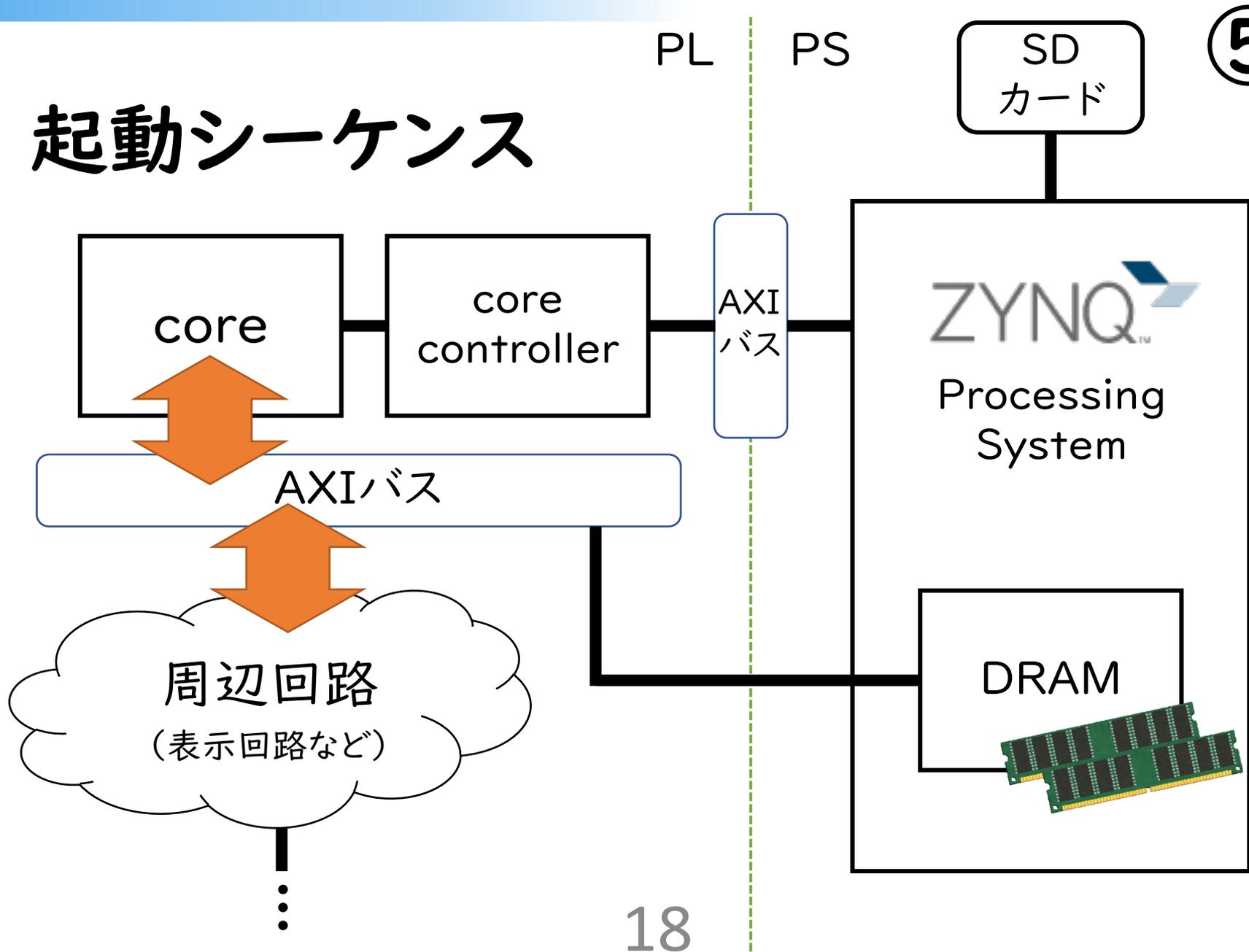
起動シーケンス



起動シーケンス



起動シーケンス



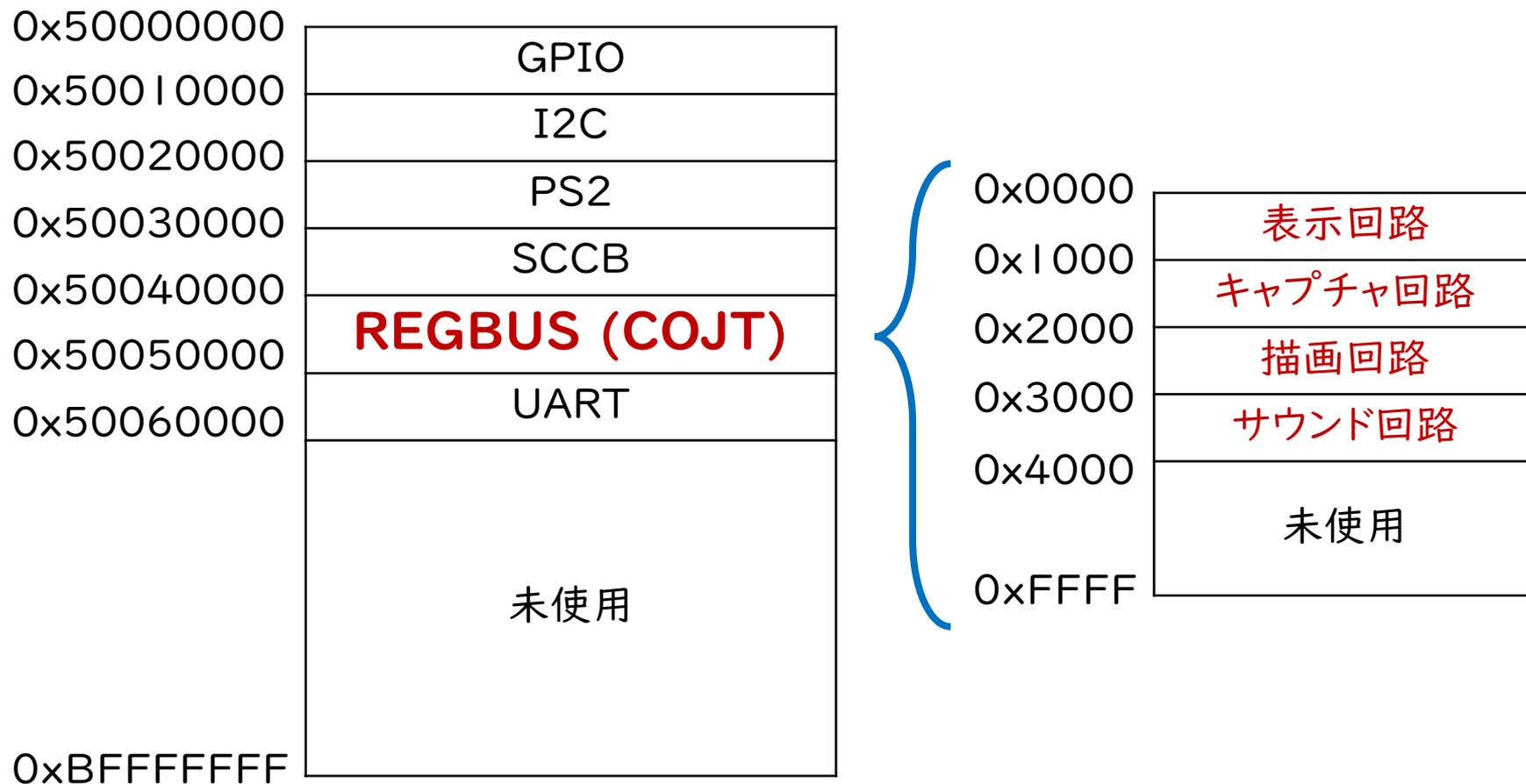
メモリマップ ~全体~

0x00000000	OCM
0x00100000	BOOT.bin
0x20000000	OS用領域
0x40000000	core controller
0x50000000	周辺デバイス
0xC0000000	Zynq予約
0xFFFFFFFF	

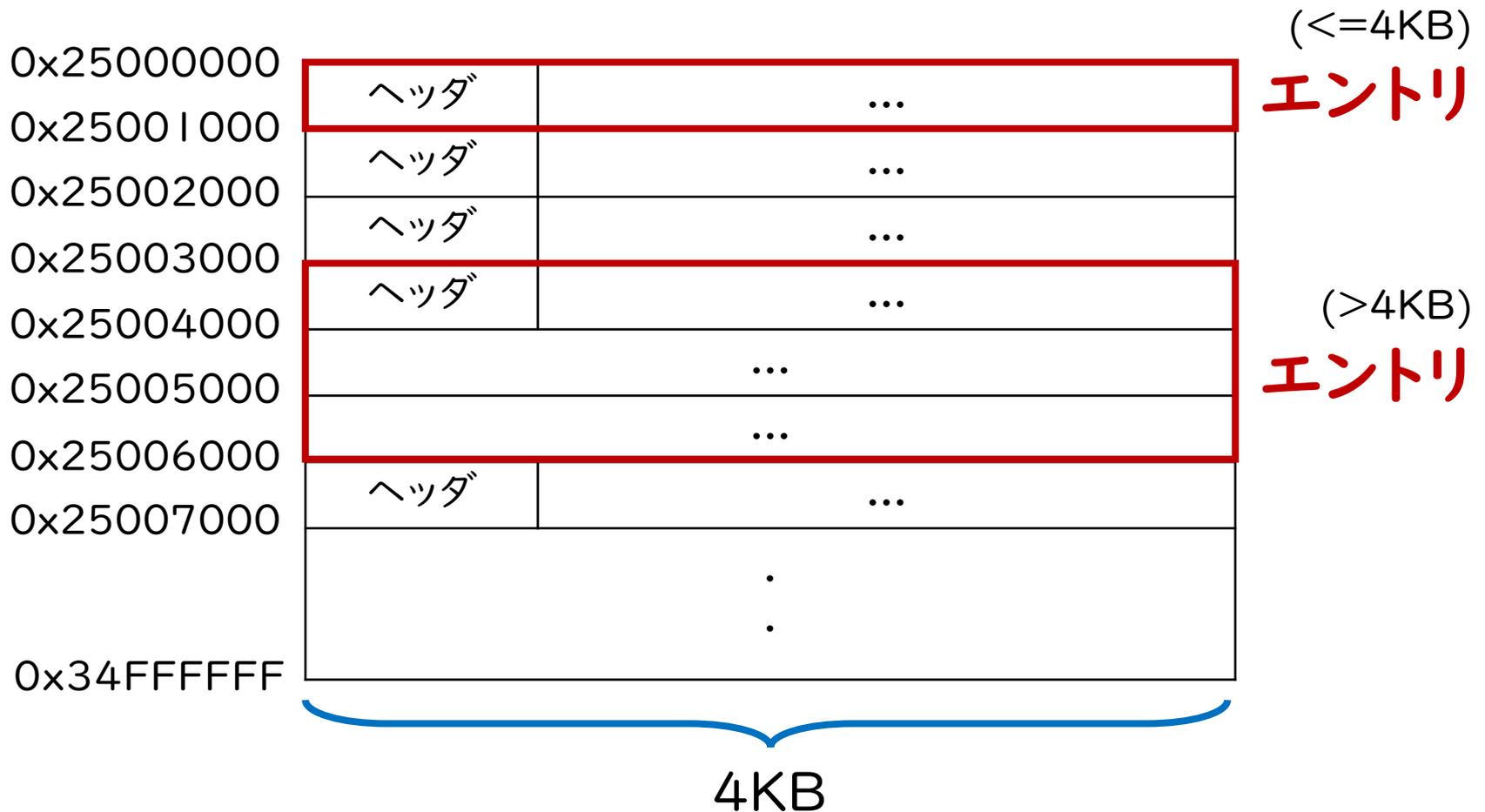
メモリマップ ~OS用領域~

0x20000000	カーネル本体
0x23000000	キャプチャ回路用
0x24000000	表示回路用 (VRAM)
0x25000000	ファイルシステム (独自仕様)
0x35000000	
0x3FFFFFFF	データメモリ領域 (スタック / ヒープ)

メモリマップ ~周辺デバイス~



OS ~ファイルシステム~



OS ~ファイルシステム~

マジックナンバー



OS ~メモリ管理~



7	4	3	2	0
未使用	フラグ	領域情報		

ex) 0x35000000 → 0x35100000 ~ 0x351000FF
0x35000001 → 0x35101000 ~ 0x351010FF を管理